

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-035837

(43)Date of publication of application : 06.02.1990

(51)Int.Cl.

H04L 7/00

H04L 12/28

H04L 12/66

H04L 13/08

(21)Application number : 63-184637

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.07.1988

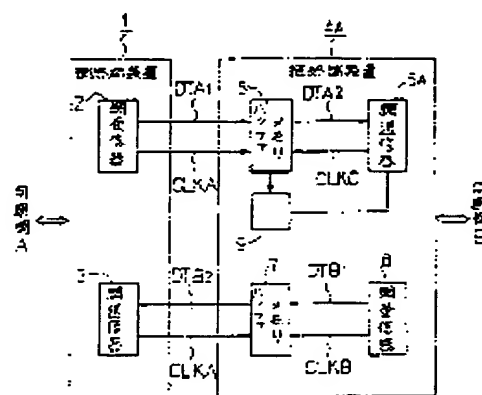
(72)Inventor : NAGASE HIRAAKI

(54) INTER-NETWORK CONNECTING DEVICE

(57)Abstract:

PURPOSE: To minimize the capacity of a buffer memory and to improve the accuracy by controlling a clock difference between a first clock and a second clock based on the accumulating quantity of data at a buffer memory and transmitting data to a second synchronizing network.

CONSTITUTION: A data accumulating quantity detecting circuit 9 monitors the data accumulating quantity of a buffer memory 5 by writing reading address information ADR, and at the time of exceeding a certain set range, outputs a transmission speed control signal CS to a speed converting multiplexing part 61, a transmission speed control circuit 63 and a network clock frequency-dividing PLL circuit 64. The speed converting multiplexing part 61 controls the number of the bits of data based on the transmission speed control signal CS. As the result, when the speed of a clock CLKC of a synchronization network B is larger than the speed of a clock CLKA of a synchronization network A, the data accumulating quantity of the buffer memory 5 is gradually reduced. Thereafter, when the data accumulating quantity is reduced from a certain set range, the network clock frequency-dividing PLL circuit 64 controls the speed of the clock CLKC of the synchronization network B and a network transmitter 6A returns to a condition B of a speed control.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

This Page Blank (uspto)

⑫ 公開特許公報(A)

平2-35837

⑤ Int.Cl.

H 04 L 7/00
12/28
12/66
13/08

識別記号

A

庁内整理番号

6914-5K

⑬ 公開 平成2年(1990)2月6日

7240-5K

7928-5K

7830-5K

H 04 L 11/00
11/203 1 0 Z
B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 網間接続装置

⑮ 特 願 昭63-184637

⑯ 出 願 昭63(1988)7月26日

⑰ 発 明 者 長 瀬 平 明 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
通信機製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曾我 道照 外4名

Best Available Copy

明 細 書

1. 発明の名称

網間接続装置

2. 特許請求の範囲

第1の同期網からデータを受信する網受信器、
上記第1の同期網の第1のクロックにより上記網
受信器から上記データを入力し第2の同期網の第
2のクロックにより上記データを出力するバッファ
メモリ、このバッファメモリにおける上記データ
の蓄積量を検出するデータ蓄積量検出回路、及び
上記データの蓄積量に基づいて上記第1のクロッ
クと第2のクロックとのクロック差を制御し上記
第2の同期網へ上記データを送信する網送信器を
備えたことを特徴とする網間接続装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、デジタル多重化装置に使用され2
つの同期網を接続する網間接続装置に関するもの
である。

特に、網間接続装置の速度制御に関するもので

ある。

〔従来の技術〕

従来例の構成を第4図を参照しながら説明する。

第4図は、従来の網間接続装置を示すブロック図
である。

第4図において、(1)は網終端装置であって、
この従来例では網受信器(2)及び網送信器(3)か
ら構成されている。

また、(4)は網終端装置であって、この従来例
では網終端装置(1)の網受信器(2)に接続された
バッファメモリ(5)、このバッファメモリ(5)に
接続された網送信器(6)、網終端装置(1)の網送
信器(3)に接続されたバッファメモリ(7)及びこ
のバッファメモリ(7)に接続された網受信器(8)
から構成されている。

第5図は、従来の網間接続装置を使用した同期
網A、Bの接続状態を示す概略図である。

第5図において、(9)は同期網Aを介して網終
端装置(1)に接続された網終端装置、(10)はこの
網終端装置(9)に接続された端末装置、(11)は同

同期網Bを介して網終端装置(4)に接続された網終端装置、(12)はこの網終端装置(11)に接続された端末装置である。

つぎに、上述した従来例の動作を説明する。

網終端装置(1)の網受信器(2)は、同期網Aからデータを受信する。受信されたデータDTA1は、同期網AのクロックCLKAに同期して、バッファメモリ(5)に書き込まれる。また、同期網BのクロックCLKBに同期して、バッファメモリ(5)からデータDTA2として読み出される。そして、網終端装置(4)の網送信器(6)は、データDTA2を同期網Bに送信する。

ここで、同期網A、Bは互いに独立した網であるので、クロックCLKA≠クロックCLKBである。そこで、バッファメモリ(5)は、クロックCLKA及びクロックCLKBのクロック差によるデータスリップを吸収するために使用されている。

なお、網送信器(3)、バッファメモリ(7)及び網受信器(8)の動作については、逆方向のデータの流れ(同期網B→同期網A)以外は上述した動作

り上記網受信器から上記データを入力し第2の同期網の第2のクロックにより上記データを出力するバッファメモリ。

(iii). このバッファメモリにおける上記データの蓄積量を検出するデータ蓄積量検出回路。

(iv). 上記データの蓄積量に基づいて上記第1のクロックと第2のクロックとのクロック差を制御し上記第2の同期網へ上記データを送信する網送信器。

【作用】

この発明においては、データ蓄積量検出回路によって、バッファメモリにおけるデータの蓄積量が検出される。

そして、網送信器によって、上記データの蓄積量に基づいて第1のクロックと第2のクロックとのクロック差を制御し第2の同期網へ上記データが送信される。

【実施例】

実施例の構成を第1図を参照しながら説明する。

第1図は、この発明の一実施例を示すブロック図

と同じである。

【発明が解決しようとする課題】

上述したような従来の網間接続装置では、クロック差によるバッファメモリのデータ蓄積量がバッファメモリの容量を超えると、データの欠落を生じるので、バッファメモリの容量を大きくしなければならず、そうするとデータ蓄積量が増加した場合にはデータ伝送の遅延時間が大きくなる等の問題点があった。

この発明は、上述した問題点を解決するためになされたもので、同期網の伝送速度を時系列に変え、バッファメモリの容量を小さくでき、かつ精度の高い装置を安価に提供できる網間接続装置を得ることを目的とする。

【課題を解決するための手段】

この発明に係る網間接続装置は、以下に述べるような手段を備えたものである。

(i). 第1の同期網からデータを受信する網受信器。

(ii). 上記第1の同期網の第1のクロックによ

であり、(1)～(3)、(5)、(7)及び(8)は上記従来装置のものと全く同一である。

第1図において、(4A)は網終端装置であって、この実施例では網終端装置(1)の網受信器(2)に接続されたバッファメモリ(5)、このバッファメモリ(5)に接続された網送信器(6A)、入力側がバッファメモリ(5)に接続されかつ出力側が網送信器(6A)に接続されたデータ蓄積量検出回路(9)、網終端装置(1)の網送信器(3)に接続されたバッファメモリ(7)及びこのバッファメモリ(7)に接続された網受信器(8)から構成されている。

第2図は、第1図の網送信器(6A)を詳細に示すブロック図である。

第2図において、網送信器(6A)は、(61)、(62)、(63)及び(64)から構成されている。

ここで、(61)はバッファメモリ(5)及びデータ蓄積量検出回路(9)に接続された速度変換・多重化部、(62)はこの速度変換・多重化部(61)に接続された多重化回路、(63)は入力側がデータ蓄積量検出回路(9)に接続されかつ出力側が多重化回路

(62)に接続された伝送速度制御回路、(64)は入力側がデータ蓄積量検出回路(9)に接続されかつ出力側がバッファメモリ(5)及び速度変換・多重化部(61)に接続された網クロック分周・PLL回路である。

なお、多重化回路(62)の出力側はデータ線で同期網Bに接続され、速度変換・多重化部(61)、伝送速度制御回路(63)及び網クロック分周・PLL回路(64)の入力側はクロック線で同期網Bに接続されている。

つぎに、上述した実施例の動作を第2図及び第3図(a)～(f)を参照しながら説明する。第3図(a)～(f)は、データ及びクロックの内容を示す説明図である。

第3図において、(a)図は同期網Aからバッファメモリ(5)へ書き込まれるデータDTA1、(b)図は同期網AのクロックCLKA、(c)図はバッファメモリ(5)から同期網Bへ読み出されるデータDTA2、(d)図は同期網BのクロックCLKBが位相制御されたクロックCLKC、及び(e)図は同期網Bの伝送フ

アドレス情報ADRにより監視し、ある設定範囲を超えた場合に、伝送速度制御信号CSを速度変換・多重化部(61)、伝送速度制御回路(63)及び網クロック分周・PLL回路(64)に出力する。

速度変換・多重化部(61)は、伝送速度制御信号CSに基づいてデータのビット数を制御する。この場合は、速度制御を状態(C:有効ビット9)に変換し、ビット数を増やす。すなわち、データ伝送速度が9/8倍になる。

伝送速度制御回路(63)は、伝送速度制御信号CSをコード化した速度制御ビットを多重化回路(62)に出力する。

網クロック分周・PLL回路(64)は、伝送速度制御信号CSに基づいて同期網BのクロックCLKBの分周クロックを位相制御し、クロックCLKCとしてバッファメモリ(5)及び速度変換・多重化部(61)に出力する。この場合、クロックCLKCの速度は、クロックCLKBの9/8倍になる。

この結果、同期網BのクロックCLKCの速度が同期網AのクロックCLKAの速度より大きければ、バッ

フレーム中に割り当てられた当該チャネルのデータDTA3のビット構成を示す。(f)図は当該チャネルのデータDTA3の詳細なビット構成を示し、(d₀)、(d₁)を速度制御ビット、(d₂)～(d₁₁)をデータビットとする12ビットが割り当てられた例を示す。なお、データビットは、速度制御ビットの組み合わせに応じて有効ビット、無効ビットが設定される。また、データDTA3は、有効ビットのタイムスロットのみ多重化されて伝送され、速度制御には4つの状態が存在する。

始めに、網送信器(6A)は、速度制御の状態(B:有効ビット8)で動作しているものとする。この状態(B)において、同期網AのクロックCLKAの速度が同期網BのクロックCLKBの速度より大きいとすると、バッファメモリ(5)にはデータDTA1が蓄積されていく。

データ蓄積量検出回路(9)は、クロックCLKAとクロックCLKCとのクロック差がバッファメモリ(5)のデータ蓄積量の変化として現れてくるので、バッファメモリ(5)のデータ蓄積量を蓄込・読出

ファメモリ(5)のデータ蓄積量は次第に減少する。その後、データ蓄積量がある設定範囲より減少すると、網クロック分周・PLL回路(64)は、同期網BのクロックCLKCの速度を制御し、網送信器(6A)は、速度制御の状態(B)に戻る。

このように、網送信器(6A)は、同期網Bのデータ伝送速度を可変制御することにより、バッファメモリ(5)内のデータ蓄積量が、ある設定範囲に収まるように制御することができる。また、速度制御の状態(A:有効ビット7)及び(D:有効ビット10)は、状態(B)及び(C)においてバッファメモリ(5)内のデータ蓄積量がある設定範囲収まらない場合に使用する。

なお、上記実施例では速度制御の各状態毎にデータのビット数を1ビットずつ変化したものとしたが、数ビットずつ変化したものでも同様の動作を期待できる。

また、上記実施例では速度制御の状態を4つの場合について示したが、クロック差の変動に応じて状態の数を適当に選択しても所期の目的を達成

し得ることはいうまでもない。例えば、クロック差の変動が小さい場合は速度制御部の状態を2つでもよい。

ところで上記説明では、1チャンネルに利用する場合について述べたが、複数チャンネルにも利用できることはいうまでもない。

〔発明の効果〕

この発明は、以上説明したとおり、第1の同期網からデータを受信する網受信器と、上記第1の同期網の第1のクロックにより上記網受信器から上記データを入力し第2の同期網の第2のクロックにより上記データを入力するバッファメモリと、このバッファメモリにおける上記データの蓄積量を検出するデータ蓄積量検出回路と、上記データの蓄積量に基づいて上記第1のクロックと第2のクロックとのクロック差を制御し上記第2の同期網へ上記データを送信する網送信器とを備えたので、同期網の伝送速度を時系列に可変でき、バッファメモリの容量を小さくでき、かつ精度の高い装置を安価に提供できるという効果を奏する。

4. 図面の簡単な説明

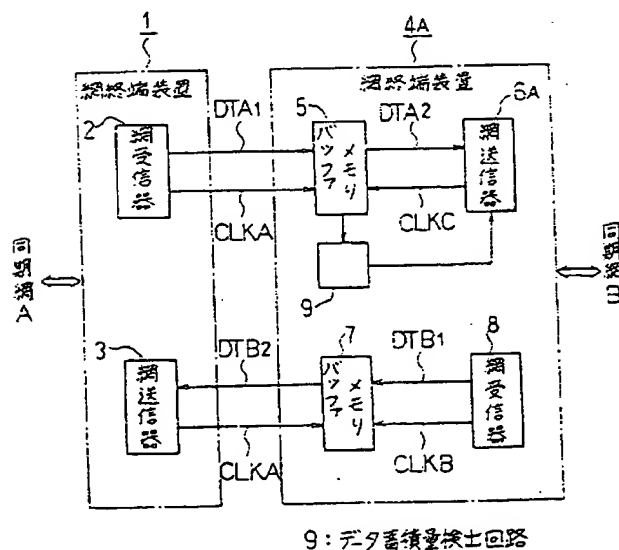
第1図はこの発明の一実施例を示すブロック図、第2図は第1図の網送信器の詳細を示すブロック図、第3図(a)~(f)はデータ及びクロックの内容を示す説明図、第4図は従来の網間接続装置を示すブロック図、第5図は従来の網間接続装置を使用した同期網A、Bの接続状態を示す概念図である。

図において、

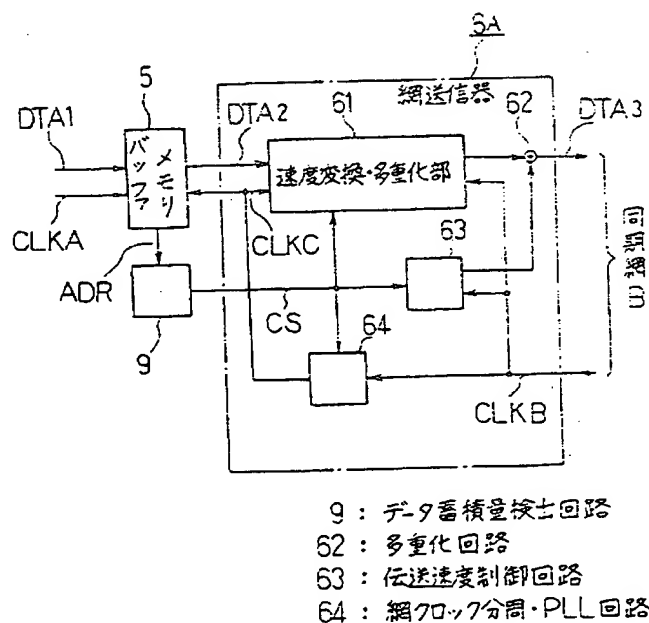
- (1) … 網終端装置、
- (2) … 網受信器、
- (3) … 網送信器、
- (4A) … 網終端装置、
- (5) … バッファメモリ、
- (6A) … 網送信器、
- (7) … バッファメモリ、
- (8) … 網受信器、
- (9) … データ蓄積量検出回路である。

なお、各図中、同一符号は同一、又は相当部分を示す。

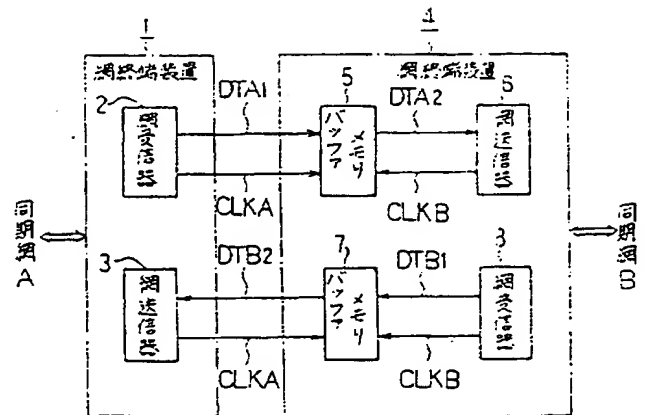
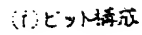
第 1 図



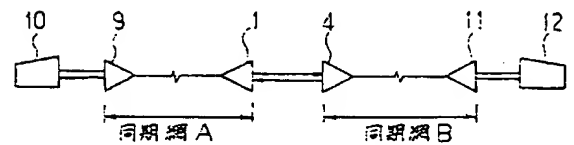
第 2 図



४ ५ ६



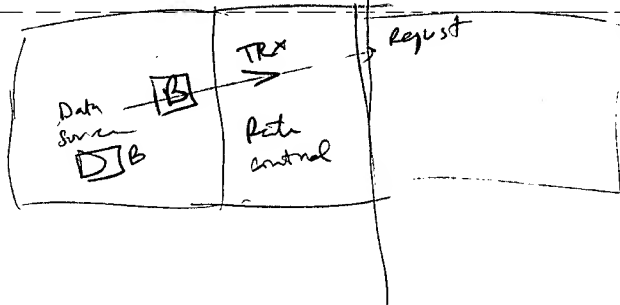
第 5 圖



Network interface

Radio Interface

Data aggregation
memory



THIS PAGE BLANK (USPTO)